

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

Publication number: JP9023014

Publication date: 1997-01-21

Inventor: TSUCHIYA TATSUO; TOIDA TAKASHI

Applicant: CITIZEN WATCH CO LTD

Classification:

- international: *H01L21/762; H01L21/20; H01L21/336; H01L21/768; H01L23/52; H01L23/522; H01L27/12; H01L29/786; H01L21/20; H01L21/02; H01L21/70; H01L23/52; H01L27/12; H01L29/66; (IPC1-7): H01L21/20; H01L29/786; H01L21/336; H01L21/762; H01L21/768; H01L27/12*

- European:

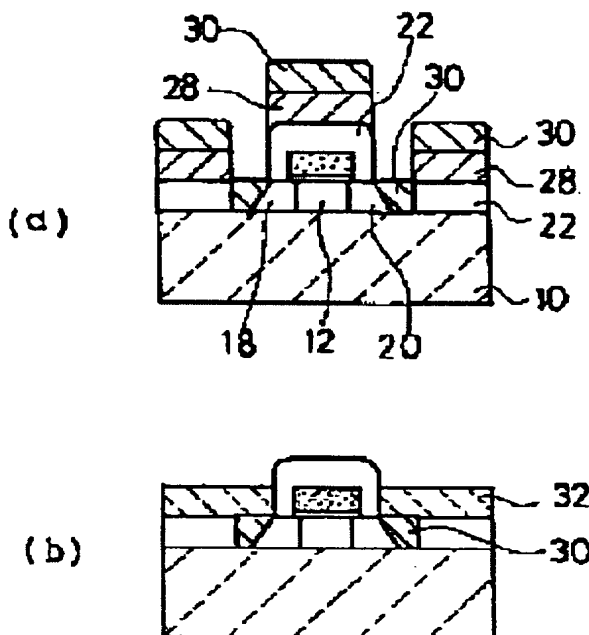
Application number: JP19960189109 19960718

Priority number(s): JP19960189109 19960718

Report a data error here

Abstract of JP9023014

PROBLEM TO BE SOLVED: To provide a metallic wiring structure which can increase the packing density of a semiconductor integrated circuit device and a manufacturing method for forming the structure. **SOLUTION:** A semiconductor integrated circuit device is provided with a semiconductor thin film 12 which is formed on an insulating substrate or insulating film and separated from source-drains 18 and 20 in an island-like state, the source-drains 18 and 20 which are provided in the semiconductor thin film 12 in the areas aligned with gate electrodes provided through a gate oxide film, an intermediate insulating film 22 having an opening in which the source-drains in the side face sections of the thin film 12 and parts of the insulating substrate or insulating film near the source and drain are exposed, a first wiring metal 30 which is provided in the opening of the intermediate insulating film 22 so as to fill up the opening, and second metallic wiring 32 which is provided so that the wiring 32 can be connected to the metal 30.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-23014

(43) 公開日 平成9年(1997)1月21日

(51) IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/786		H 0 1 L 29/78	6 1 6 K
	21/336		27/12	C
	21/762		21/20	
	21/768		21/76	D
	27/12		21/90	D
審査請求 有 発明の数 2 O L (全 8 頁) 最終頁に続く				

(21) 出願番号 特願平8-189109
(62) 分割の表示 特願昭62-216529の分割
(22) 出願日 昭和62年(1987)9月1日

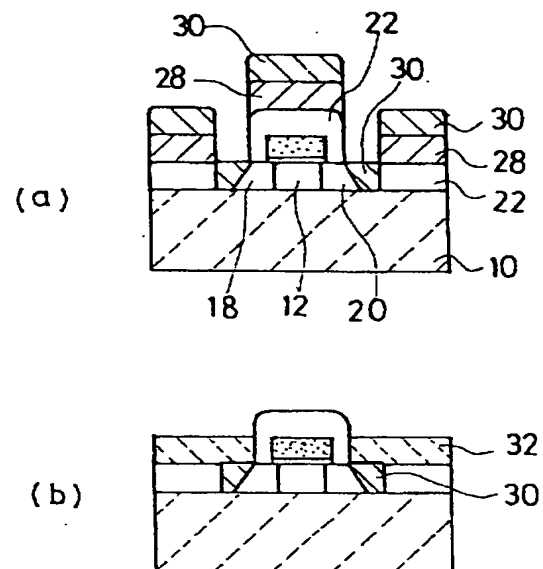
(71) 出願人 000001960
シチズン時計株式会社
東京都新宿区西新宿2丁目1番1号
(72) 発明者 土屋 達男
埼玉県所沢市大字下富字武野840番地 シ
チズン時計株式会社技術研究所内
(72) 発明者 戸井田 孝志
埼玉県所沢市大字下富字武野840番地 シ
チズン時計株式会社所沢事業所内

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 半導体集積回路装置の高密度化が可能な配線金属構造と、この構造を形成するための製造方法とを提供する。

【解決手段】 絶縁性基板または絶縁膜上に設け島状に分離する半導体薄膜12と、ゲート酸化膜を介して設けたゲート電極に整合する領域の半導体薄膜に設けるソースドレイン18、20と、半導体薄膜側面部のソースドレインとこのソースドレイン近傍の絶縁性基板または絶縁膜とが露出する開口領域を設ける中間絶縁膜22と、中間絶縁膜の開口領域に埋め込むように設ける第1の配線金属30と、第1の配線金属と接続するように設ける第2の金属配線32とを備える半導体集積回路装置およびその製造方法。



【特許請求の範囲】

【請求項1】 絶縁性基板または絶縁膜上に設け島状に分離された半導体薄膜と、ゲート酸化膜を介して設けたゲート電極に整合する領域の半導体薄膜に設けるソースドレインと、半導体薄膜側面部のソースドレインとこのソースドレイン近傍の絶縁性基板または絶縁膜とが露出する開口領域を設ける中間絶縁膜と、中間絶縁膜の開口領域に埋め込むように設ける第1の配線金属と、第1の配線金属と接続するように設ける第2の金属配線とを備えることを特徴とする半導体集積回路装置。

【請求項2】 絶縁性基板または絶縁膜上に半導体薄膜を形成し、半導体薄膜を島状に形成する工程と、酸化処理を行い半導体薄膜にゲート酸化膜を形成し、ゲート電極を形成する工程と、ゲート電極に整合する領域の半導体薄膜にソースドレインを形成し、全面に中間絶縁膜を形成し、レジスト膜を用いて半導体薄膜の側面部のソースドレインとこのソースドレイン近傍の絶縁性基板または絶縁膜とが露出するように中間絶縁膜にフォトリソ処理により開口領域を設ける工程と、全面に配線金属材料を形成し、レジスト膜を除去することにより中間絶縁膜の開口領域に埋め込みように第1の配線金属を形成する工程と、第1の配線金属と接続する第2の配線金属を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁性基板や絶縁膜上に形成する半導体薄膜に半導体素子を形成するSOS(Silicon On Sapphire)やSOI(Silicon On Insulator)に用いるMOSTランジスタの配線金属の構造とその製造方法とに関する。

【0002】

【従来の技術】絶縁性基板または絶縁膜上の半導体薄膜に半導体素子を形成することにより、ソースドレインと基板間および配線と基板間の接合容量が小さくなり、半導体集積回路装置の動作速度の高速化と低消費電力化と、さらにpn接合分離が不要で半導体素子の高密度配置を達成することができる利点をもつことから、このような半導体集積回路装置の研究開発が活発に行われている。この従来技術を、サファイア基板を用いるSOSにて説明する。

【0003】SOSにてMOSTランジスタを形成する手段として、たとえば特開昭59-112650号公報に記載のものがあつた。従来技術のMOSTランジスタ構造を得るための製造工程を、図7の断面図を用いて説明する。

【0004】まず図7(a)に示すように、サファイア

からなる絶縁性基板10上に形成する単結晶シリコン膜からなる半導体薄膜12をエッチングすることにより島状に分離して、素子間分離を行う。

【0005】つぎに酸素雰囲気中で酸化処理を行うことにより、半導体薄膜12上にゲート酸化膜14を形成する。その後、全面に多結晶シリコンを形成し、さらにフォトリソ処理によりゲート電極16を形成する。さらに半導体薄膜12のゲート電極16に整合する領域に、イオン注入法により不純物を導入してソースドレイン18、20を形成する。

【0006】つぎに図7(b)に示すように、中間絶縁膜22を全面に形成し、さらにフォトリソ処理によって、ソースドレイン18、20領域にまで貫通するコンタクト窓24を形成する。その後、このコンタクト窓24を介してソースドレイン18、20と接続する配線金属26を形成して電気的接続を行う。

【0007】

【発明が解決しようとする課題】従来のMOSTランジスタ構造は、図7(b)に示すように、ソースドレイン18、20と配線金属26との接続は、半導体薄膜12の上面で行っている。

【0008】このためコンタクト窓24形成時のフォトリソ合わせずれを考慮して、このコンタクト窓24端とゲート電極16との距離を、ある程度大きくし寸法的に余裕を取る必要がある。そのうえコンタクト窓24の開口の大きさも極端な微細化はできない。したがって、半導体薄膜12端からゲート電極16までの距離、すなわちソースドレイン18、20領域の長さが長くなり、島状の半導体薄膜12の面積が大きくなる。この結果、絶縁性基板上の半導体素子の特徴である高密度化への対応が充分でないという問題点がある。

【0009】本発明の目的は、上記問題点を解決して、半導体集積回路装置の高密度化が可能な配線金属構造と、この構造を形成するための製造方法とを提供することである。

【0010】

【課題を解決するための手段】上記目的を達成するため本発明の半導体集積回路装置およびその製造方法は、下記記載の手段を採用する。

【0011】本発明の半導体集積回路装置においては、絶縁性基板または絶縁膜上に設け島状に分離された半導体薄膜と、ゲート酸化膜を介して設けたゲート電極に整合する領域の半導体薄膜に設けるソースドレインと、半導体薄膜側面部のソースドレインとこのソースドレイン近傍の絶縁性基板または絶縁膜とが露出する開口領域を設ける中間絶縁膜と、中間絶縁膜の開口領域に埋め込むように設ける第1の配線金属と、第1の配線金属と接続するように設ける第2の金属配線とを備えることを特徴とする。

【0012】本発明の半導体集積回路装置の製造方法に

おいては、絶縁性基板または絶縁膜上に半導体薄膜を形成し、半導体薄膜を島状に形成する工程と、酸化処理を行い半導体薄膜にゲート酸化膜を形成し、ゲート電極を形成する工程と、ゲート電極に整合する領域の半導体薄膜にソースドレインを形成し、全面に中間絶縁膜を形成し、レジスト膜を用いて半導体薄膜の側面部のソースドレインとこのソースドレイン近傍の絶縁性基板または絶縁膜とが露出するように中間絶縁膜にフォトリソグラフィ処理により開口領域を設ける工程と、全面に配線金属材料を形成し、レジスト膜を除去することにより中間絶縁膜の開口領域に埋め込みように第1の配線金属を形成する工程と、第1の配線金属と接続する第2の配線金属を形成する工程とを有することを特徴とする。

【0013】

【発明の実施の形態】以下図面を用いて本発明の最適な実施形態における半導体集積回路装置およびその製造方法を説明する。なお以下の説明は、SOSのMOSトランジスタを例にして説明する。図1は本発明の実施形態におけるMOSトランジスタの配線金属構造を示す断面図である。この図1を用いて本発明のMOSトランジスタ構造を、まずはじめに説明する。

【0014】絶縁性基板10上に設ける半導体薄膜12は、素子間分離を行うため島状に分離する。さらに半導体薄膜12には、ゲート酸化膜を介してゲート電極16を設ける。そしてゲート電極16に整合する領域の半導体薄膜12にソースドレイン18、20を設ける。さらに、半導体薄膜12の側面部のソースドレイン18、20が露出するように、中間絶縁膜を設け、そしてこの半導体薄膜12の側面部のソースドレイン18、20と接続するように、配線金属26を設ける。すなわち本発明の配線金属構造は、半導体薄膜12の側面部で、ソースドレイン18、20と配線金属26との電気的接続を行っている。

【0015】本発明の配線金属構造は、図7(b)に示す従来技術のように半導体薄膜12の上面で電気的接続を行ってなく、半導体薄膜12の側面部にてソースドレイン18、20と配線金属26との電気的接続を行っている。このため本発明においては、コンタクト窓の形成領域が不要となり、従来技術と比較して島状の半導体薄膜12の占有面積が小さくなる。

【0016】すなわち、図1に示す島状の半導体薄膜12端からゲート電極16端までのソースドレイン18、20領域の長さ寸法Lは、ゲート電極16のフォトリソグラフィ合わせずれを考慮した寸法に、1 μ m程度を加えた長さで充分である。このため島状の半導体薄膜12の面積が小さくなり、高密度化を達成することができ、絶縁性基板あるいは絶縁膜上の半導体集積回路装置の利点をさらに大きくすることが可能となる。

【0017】つぎに本発明のMOSトランジスタの配線金属構造を形成するための製造方法における実施形態

を、図面を用いて説明する。図2(a)、(b)は、本発明のMOSトランジスタの配線金属構造を形成するための製造方法を示す断面図である。

【0018】まずはじめに図2(a)に示すように、結晶方位1012を有するサファイアからなる絶縁性基板10上に、100の面方位を有する単結晶シリコン膜からなり、第1導電型の半導体薄膜12を形成する。この半導体薄膜12は、エピタキシャル成長法により、0.6 μ m程度の厚さで形成する。

【0019】その後、化学気相成長法(CVD法)により、膜厚100nm程度の酸化シリコン膜(図示せず)を全面に形成する。この酸化シリコン膜は、半導体薄膜12のエッチングマスクとして使用する。その後、全面に回転塗布法により感光性樹脂を形成し、所定のフォトリソグラフィマスクを用いて露光処理と現像処理を行い、感光性樹脂をパターニングし、さらにこのパターニングした感光性樹脂をエッチングマスクに用いてエッチングするフォトリソグラフィ処理により、酸化シリコン膜を素子形成領域上にパターン形成する。

【0020】その後、このパターニングした酸化シリコン膜をエッチングマスクに用いて、半導体薄膜12をエッチングし、素子形成領域である島状の半導体薄膜12を形成する。この半導体薄膜12のエッチングは、水酸化カリウム(KOH)水溶液に、イソプロピルアルコール(C₃H₇OH)を加えた、異方性エッチング液を用いて行い、エッチングマスクの酸化シリコン膜を形成していない領域、すなわち素子分離領域の半導体薄膜12を完全に除去する。この異方性エッチングにおいては、半導体薄膜12のエッチング速度に単結晶シリコン膜の面指数依存性があり、100面に比較して111面は極めて遅くなる。この結果、島状の半導体薄膜12の側面部は、斜めの面となる。

【0021】つぎにエッチングマスクとして用いた酸化シリコン膜を、フッ酸系のエッチング液を用いて除去する。その後、乾いた酸素雰囲気中で温度1000℃時間25分の酸化処理を行い、膜厚30nmのゲート酸化膜14を半導体薄膜12上に形成する。

【0022】その後、MOSトランジスタのゲート電極材料として、多結晶シリコン膜を全面に形成する。この多結晶シリコン膜は、CVD法により、450nm程度の膜厚で形成する。その後、この多結晶シリコン膜をフォトリソグラフィ処理により、パターン形成してゲート電極16を形成する。

【0023】つぎにゲート電極16の整合した領域の半導体薄膜12に、第2導電型の不純物をイオン注入法により導入して、ソースドレイン18、20を形成する。このソースドレイン18、20を形成するためのイオン注入量は、 $4 \times 10^{15} \text{ cm}^{-2}$ 程度とする。この結果、ソースドレイン18、20は、半導体薄膜12の表面と側面部とに形成される。

【0024】つぎに酸化シリコン膜を主体とする厚さ500nm程度の中間絶縁膜22を、CVD法により全面に形成する。その後、フォトリソエッチング処理により半導体薄膜12上のみ中間絶縁膜22を残し、半導体薄膜12側面部のソースドレイン18、20を露出させる。このとき中間絶縁膜22は、半導体薄膜12の側面部にわずかに残ったり、あるいはこの側面部と半導体薄膜12表面との境界の半導体薄膜12表面がわずかに露出していてもよい。

【0025】つぎに図2(b)に示すように、配線金属26材料としてアルミニウムを真空蒸着法やスパッタリング法などを用いて全面に形成する。その後、フォトリソエッチング処理を行って、半導体薄膜12の側面部と接続する配線金属26を形成して、ソースドレイン18、20と配線金属26との電気的接続を行う。

【0026】図3は、本発明のMOSトランジスタの配線金属の形成方法における実施形態を示し、図2とは異なる実施形態の製造方法を示す断面図である。

【0027】図2(a)を用いて説明した方法と同様な製造工程で、半導体薄膜12にソースドレイン18、20を形成し、その後、CVD法により中間絶縁膜22を全面に形成する。その後、感光性樹脂であるレジスト膜28を回転塗布法により全面に形成し、所定のフォトリソマスクを用いて露光処理と、現像処理とを行うフォトリソグラフィ処理により配線金属の形成領域のレジスト膜28を除去する。すなわち、半導体薄膜12上と配線金属を形成しない領域上とは、レジスト膜28を形成する。

【0028】つぎに配線金属26としてアルミニウムを全面に形成する。その後、レジスト膜28を除去することによりこのレジスト膜28上の被膜を除去する、いわゆるリフトオフ法により配線金属26を形成する。この結果、半導体薄膜12側面部のソースドレイン18、20と電気的に接続する配線金属26を形成することができる。

【0029】図4は、以上説明した実施形態と異なるMOSトランジスタの配線金属の構造とその製造方法とを示す断面図である。まずはじめにMOSトランジスタの構造を説明する。

【0030】図2と図3とに示すMOSトランジスタと構造上の相違点は、半導体薄膜12側面部と絶縁性基板10とが露出するように、中間絶縁膜22に開口領域を設ける。さらにこの開口領域内にソースドレイン18、20と接続する第1の配線金属30を設け、そしてこの第1の配線金属30と接続する第2の配線金属32を第1の配線金属30上と中間絶縁膜22上とに設ける。図4に示すMOSトランジスタにおいては、表面段差を小さくでき、表面平坦化が可能となる。つぎにこの構造を形成するための製造方法を説明する。

【0031】図2(a)を用いて説明した処理工程と同

様な方法により、半導体薄膜12にソースドレイン18、20を形成し、さらにCVD法により中間絶縁膜22を全面に形成する。

【0032】そして図4(a)に示すように、中間絶縁膜22上に感光性樹脂であるレジスト膜28を形成し、フォトリソエッチング処理により、半導体薄膜12と絶縁性基板10とが露出するような開口領域を形成する。この開口領域形成後、エッチングマスクとして用いたレジスト膜28は除去せず残しておく。

【0033】その後、第1の配線金属30材料として、真空蒸着法やスパッタリング法によって、シリコンと銅とを含むアルミニウムを全面に形成する。その後、レジスト膜28を除去するリフトオフ法によって、半導体薄膜12の側面部と絶縁性基板10との開口領域内に第1の配線金属30を形成する。この結果、ソースドレイン18、20と接続する第1の配線金属30を開口領域内に、埋め込むように形成することができる。

【0034】つぎに図4(b)に示すように、全面に第2の配線金属32材料としてアルミニウムを真空蒸着法やスパッタリング法により形成する。その後、フォトリソエッチング処理により、第1の配線金属30上と中間絶縁膜22上とに第2の配線金属32を形成する。この結果、第1の金属配線30と接続する第2の配線金属32を形成することができる。

【0035】図5は、以上説明した実施形態と異なるMOSトランジスタの配線金属の構造とその製造方法とを示す断面図である。まずはじめにMOSトランジスタの構造を説明する。

【0036】図2と図3と図4とに示すMOSトランジスタと構造上の相違点は、半導体薄膜12側面部のソースドレイン18、20表面に、シリコンと高融点金属との合金膜である金属シリサイド層34を設けている点である。このように金属シリサイド層34を介して、ソースドレイン18、20と配線金属26とを接続することにより、配線金属26とソースドレイン18、20とは、なお一層確実なオーミックコンタクトが得られるという効果をもつ。

【0037】なお図4に示す構造に金属シリサイド層を設けてもよい。すなわち、半導体薄膜12の側面部に金属シリサイド層を形成したソースドレイン18、20と絶縁性基板10とが露出するように中間絶縁膜に開口領域を設け、この開口領域内に第1の配線金属を設け、さらにこの第1の配線金属に接続する第2の配線金属を設ける構造でもよい。つぎにこの図5に示す構造を形成するための製造方法における実施形態を説明する。

【0038】図2(a)を用いて説明した処理工程と同様な方法により、半導体薄膜12にソースドレイン18、20を形成し、さらにCVD法により中間絶縁膜22を全面に形成する。

【0039】そして図5(a)に示すように、中間絶縁

膜22上に感光性樹脂であるレジスト膜(図示せず)を形成し、フォトエッチング処理により、半導体薄膜12上にも中間絶縁膜22を形成し、ソースドレイン18、20を露出させる。

【0040】つぎに図5(b)に示すように、高融点金属としてチタニウム(Ti)を厚さ100nm程度スパッタリング法により全面に形成する。その後、800℃程度の温度で熱処理を行なうと、チタニウムは半導体薄膜12の側面部のシリコンと反応して、金属シリサイド層34であるチタンシリサイド(TiSi₂)を形成する。

【0041】その後、シリサイド化していないチタニウムをアンモニアと過酸化水素の水溶液からなるエッチング液にてエッチング除去する。この結果、半導体薄膜12側面部のソースドレイン18、20表面に金属シリサイド層34を形成することができる。

【0042】つぎに図5(c)に示すように、配線金属26材料として、全面にアルミニウムをスパッタリング法または真空蒸着法により形成する。その後、フォトエッチング処理により、配線金属26を半導体薄膜12側面部のソースドレイン18、20と接続するように形成する。

【0043】以上の説明において、高融点金属としてはチタニウムを使用する例で説明したが、高融点金属としてはタンタルやモリブデンやタングステンをを用いても、同様な効果が得られる。

【0044】図6は、以上説明した実施形態と異なるMOSトランジスタの配線金属の構造とその製造方法とを示す断面図である。まずはじめにMOSトランジスタの構造を説明する。

【0045】図2と図3と図4と図5とに示すMOSトランジスタと構造上の相違点は、絶縁性基板10上に絶縁膜38と中間絶縁膜22とを設ける。さらに、半導体薄膜12側面部と絶縁性基板10とが露出するように絶縁膜38と中間絶縁膜22とに開口領域を設ける。

【0046】さらにこの開口領域内にソースドレイン18、20と接続する第1の配線金属30を設け、そしてこの第1の配線金属30と接続する第2の配線金属32を、中間絶縁膜22と絶縁膜38の開口領域内の第1の配線金属30上と中間絶縁膜22上とに設ける。

【0047】なお図6に示す構造に金属シリサイド層を設けてもよい。すなわち、半導体薄膜12の側面部に金属シリサイド層34を形成したソースドレイン18、20と絶縁性基板10とが露出するように絶縁膜38と中間絶縁膜22に開口領域を設け、この開口領域内に第1の配線金属を設け、さらにこの第1の配線金属に接続する第2の配線金属を設ける構造でもよい。つぎにこの図6に示す構造を形成するための製造方法における実施形態を説明する。

【0048】まずはじめに図6(a)に示すように、絶

縁性基板10の半導体薄膜12上に窒化シリコンからなる耐酸化膜36を形成する。この窒化シリコンは膜厚150nm程度でCVD法によって全面に形成する。このとき半導体薄膜12と耐酸化膜36との間に酸化シリコン膜を形成してもよい。

【0049】その後、フォトエッチング処理により、耐酸化膜36をエッチングして素子領域上にも耐酸化膜36が残存するようにパターニングする。つぎに異方性エッチング液を用いるウエットエッチングあるいはドライエッチングにより、半導体薄膜12の膜厚のおよそ半分をエッチング除去する。

【0050】その後、耐酸化膜36を酸化防止膜と使い、酸素雰囲気中で酸化するいわゆる選択酸化処理により、耐酸化膜36に覆われていない領域の半導体薄膜12を酸化して素子分離領域に絶縁膜38を形成する。つぎに半導体薄膜12上の耐酸化膜36を除去する。

【0051】つぎに図6(b)に示すように、ゲート酸化膜とゲート電極16を形成する。その後、このゲート電極16に整合する領域の半導体薄膜12にソースドレイン18、20を形成し、さらに中間絶縁膜22をCVD法により全面に形成する。その後、中間絶縁膜22上に回転塗布法によって、感光性樹脂であるレジスト膜28を形成し、フォトエッチング処理により、半導体薄膜12の側面部と絶縁性基板10とが露出するように開口領域を形成する。この開口領域形成後、エッチングマスクとして用いたレジスト膜28は、除去せず残しておく。

【0052】その後、シリコンと銅とを含むアルミニウムからなる第1の配線金属30材料を、スパッタリング法により全面に形成する。そしてリフトオフ法により、半導体薄膜12の側面部と絶縁性基板10との開口領域内に第1の配線金属30を埋め込むように形成する。

【0053】つぎに図6(c)に示すように、第2の配線金属32材料として、アルミニウムを全面に形成し、フォトエッチング処理によって、第2の配線金属32を形成する。

【0054】

【発明の効果】以上の説明から明らかなように、半導体薄膜の側面部にて電氣的接続を行う本発明を採用することにより、島状の半導体薄膜の占有面積を小さくすることができ、高密度化を達成することが可能となる。したがって、絶縁性基板や絶縁膜上の半導体集積回路装置の利点をさらに大きくすることができる。

【0055】以上、SOSにて説明したが、絶縁性基板や絶縁膜上に形成した非単結晶シリコン膜をレーザービームなどの単結晶化手段で単結晶化して、この単結晶シリコンに半導体素子を形成するSOIや、絶縁性基板上の非単結晶シリコン膜に形成する薄膜トランジスタ(TFT)などに本発明の構造と製造方法とを用いても、同様な効果を有する。

【図面の簡単な説明】

【図1】本発明の実施形態における半導体集積回路装置の配線金属構造とその製造方法とを示す断面図である。

【図2】本発明の実施形態における半導体集積回路装置の配線金属構造とその製造方法とを示す断面図である。

【図3】本発明の実施形態における半導体集積回路装置の配線金属構造とその製造方法とを示す断面図である。

【図4】本発明の実施形態における半導体集積回路装置の配線金属構造とその製造方法とを示す断面図である。

【図5】本発明の実施形態における半導体集積回路装置の配線金属構造とその製造方法とを示す断面図である。

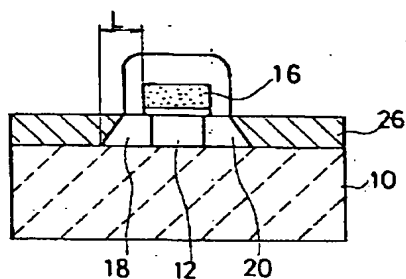
【図6】本発明の実施形態における半導体集積回路装置の配線金属構造とその製造方法とを示す断面図である。

【図7】従来技術における半導体集積回路装置の配線金属構造とその製造方法とを示す断面図である。

【符号の説明】

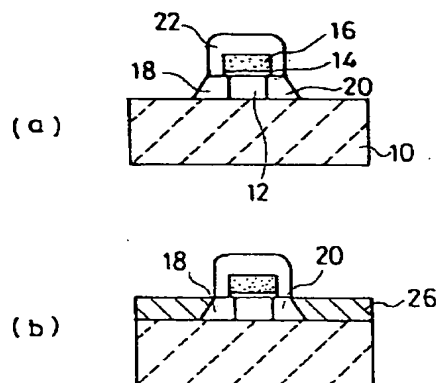
- 12 半導体薄膜
- 18、20 ソースドレイン
- 22 中間絶縁膜
- 28 レジスト膜
- 30 第1の配線金属
- 32 第1の配線金属

【図1】

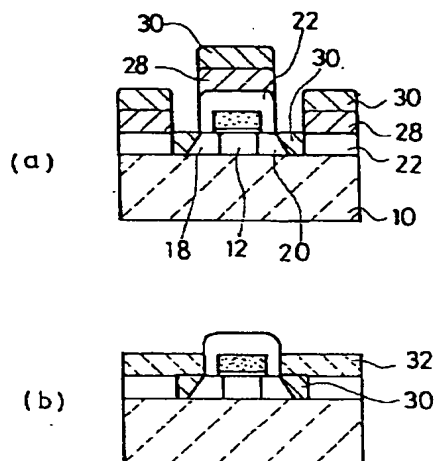


- 12. 半導体薄膜
- 18, 20. ソースドレイン
- 26. 配線金属

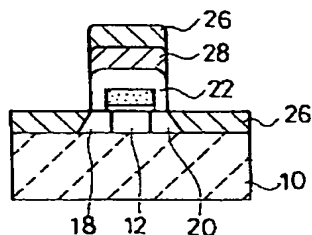
【図2】



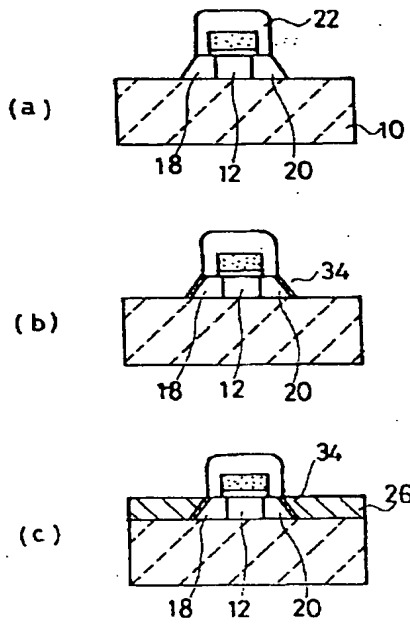
【図4】



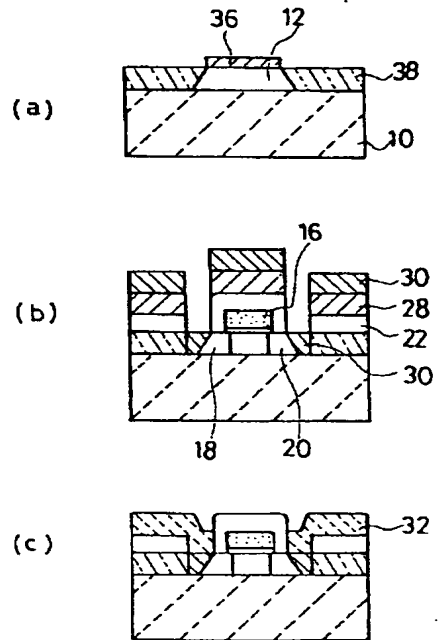
【図3】



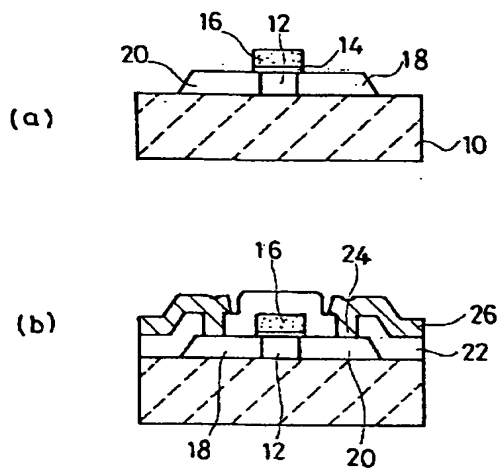
【図5】



【図6】



【図7】



(8)

特開平 9 - 2 3 0 1 4

フロントページの続き

(51)Int.Cl.⁶

// H 0 1 L 21/20

識別記号

片内整理番号

F 1

技術表示箇所

(